

REC'D 16 NOV 2004

WIPO

PCT



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0071090  
Application Number

출원년월일 : 2003년 10월 13일  
Date of Application OCT 13, 2003

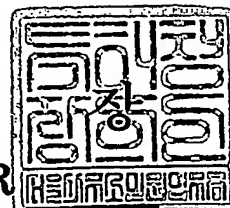
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 06 월 10 일

특 허 청

COMMISSIONER



**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)



1020030071090

출력 일자: 2004/6/11

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0001
<b>【제출일자】</b>	2003.10.13
<b>【발명의 명칭】</b>	박막 트랜지스터, 박막 트랜지스터의 제조 방법, 박막 트랜지스터 표시판 및 박막 트랜지스터의 제조 방법
<b>【발명의 영문명칭】</b>	THIN FILM TRANSISTOR, METHOD FOR MANUFACTURING FOR THE THIN FILM TRANSISTOR, THIN FILM TRANSISTOR ARRAY PANEL AND METHOD FOR MANUFACTURING THE THIN FILM TRANSISTOR ARRAY PANEL
<b>【출원인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【대리인】</b>	
<b>【명칭】</b>	유미특허법인
<b>【대리인코드】</b>	9-2001-100003-6
<b>【지정된변리사】</b>	김원근 , 박종하
<b>【포괄위임등록번호】</b>	2002-036528-9
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	이성영
<b>【성명의 영문표기】</b>	LEE, SEONG YOUNG
<b>【주민등록번호】</b>	751008-1055613
<b>【우편번호】</b>	158-097
<b>【주소】</b>	서울특별시 양천구 신월7동 331-54번지 성일빌라 가동 302호
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	장종웅
<b>【성명의 영문표기】</b>	CHANG, JONG WOONG
<b>【주민등록번호】</b>	680419-1474115
<b>【우편번호】</b>	440-832
<b>【주소】</b>	경기도 수원시 장안구 정자2동 36-21
<b>【국적】</b>	KR



1020030071090

출력 일자: 2004/6/11

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
유미특허법인 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 25 면 25,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 54,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명의 박막 트랜지스터 표시판은 게이트선과 데이터선, 게이트 구동부쪽 박막 트랜지스터 및 표시 영역쪽 박막 트랜지스터를 포함한다. 게이트 구동부쪽 박막 트랜지스터는 제어 전극, 입력 전극, 출력 전극, 그리고 상기 입력 전극과 상기 출력 전극 사이에 위치한 채널부를 포함하고, 게이트 신호를 생성하여 상기 게이트선에 인가한다. 또한 표시 영역쪽 박막 트랜지스터는 상기 게이트선과 상기 데이터선에 연결되어 있고 게이트 전극, 소스 전극, 드레인 전극, 그리고 상기 소스 전극 및 상기 드레인 전극 사이에 위치한 채널부를 포함하며, 상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 선택적으로 전달한다. 상기 박막 트랜지스터 표시판은 또한 상기 드레인 전극에 연결되어 상기 데이터 신호를 인가받는 화소 전극과 상기 게이트 구동부쪽 박막 트랜지스터의 채널부 위에 위치하며 도전 물질로 이루어진 차단 부재를 포함한다. 상기 차단 부재는 전기적으로 고립되어 있거나 부극성의 소정 전압이 인가될 수 있다.

**【대표도】**

도 5

**【색인어】**

공통전극, 문턱전압, 박막트랜지스터, 채널



## 【명세서】

## 【발명의 명칭】

박막 트랜지스터, 박막 트랜지스터의 제조 방법, 박막 트랜지스터 표시판 및 박막 트랜지스터의 제조 방법 {THIN FILM TRANSISTOR, METHOD FOR MANUFACTURING FOR THE THIN FILM TRANSISTOR, THIN FILM TRANSISTOR ARRAY PANEL AND METHOD FOR MANUFACTURING THE THIN FILM TRANSISTOR ARRAY PANEL}

## 【도면의 간단한 설명】

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 게이트 구동부에서 게이트 온 전압을 전달하기 위한 박막 트랜지스터의 구조를 개략적으로 도시한 배치도이다.

도 4는 도 3에 도시한 박막 트랜지스터의 일부 확대도이다.

도 5는 도 4에 도시한 박막 트랜지스터를 V-V' 선을 따라 잘라 도시한 단면도이다.

도 6은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

도 7은 도 6에 도시한 박막 트랜지스터 표시판을 VII-VII' 선을 따라 잘라 도시한 단면도이다.

도 8a는 공통 전극에 +3.3V의 공통 전압을 인가할 때, 액정과 등전위선의 상태를 도시한 것이다.

도 8b는 공통 전극에  $-1.0V$ 의 공통 전압을 인가할 때, 액정과 등전위선의 상태를 도시한 것이다.

도 8c는 공통 전극을 제거할 때, 액정과 등전위선의 상태를 도시한 것이다.

도 9a 및 도 10a는 액정층이 제거되지 않은 상태에서, 각각  $+3.3V$ 와  $-1.0V$ 의 공통 전압을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이다.

도 9b 및 도 10b는 액정층이 제거된 상태에서, 각각  $+3.3V$ 와  $-1.0V$ 의 공통 전압을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 박막 트랜지스터, 박막 트랜지스터의 제조 방법, 박막 트랜지스터 표시판 및 박막 트랜지스터의 제조 방법에 관한 것이다.

<14> 일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.



- <15> 이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 형성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.
- <16> 이런 액정 표시 장치는 휴대가 간편한 평판 표시 장치(flat panel display, FPD) 중에서 대표적인 것으로, 스위칭 소자에 연결된 복수의 게이트선과 복수의 데이터선을 포함하며, 각 게이트선은 스위칭 소자를 각각 턴온시키는 게이트 온 전압을 전달하고, 각 데이터선은 턴온된 스위칭 소자를 통하여 각 화소에 데이터 전압을 전달한다. 또한 이런 액정 표시 장치는 게이트선에 게이트 온 전압을 인가하는 게이트 구동부와 데이터선에 데이터 전압을 인가하는 데이터 구동부 및 이들을 제어하는 신호 제어부를 포함하고, 이들 게이트 구동부와 데이터 구동부는 복수의 게이트 구동 IC(integrated circuit)와 복수의 데이터 구동 IC를 포함한다.
- <17> 복수의 게이트 구동 집적 회로나 데이터 구동 집적 회로는 유리 기판 위에 직접 부착하거나(chip on glass, COG 실장 방식), TCP(tape carrier package)(도시하지 않음)에 실장하여 이 TCP를 표시판에 부착할 수 있다.
- <18> 또한 근래에는 유효 화면을 확장시키고 화면 외부 틀의 면적을 축소시키려는 내로우 베젤(narrow bezel)의 요구와 원가 절감을 위하여 게이트 구동부를 스위칭 소자의 형성시에 같이 형성하여 동일한 기판 상에 집적한다[GIL(gate ICless) 구조].
- 【발명이 이루고자 하는 기술적 과제】
- <19> 일반적으로 상부 표시판의 공통 전극에 인가되는 공통 전압의 영향으로 액정 표시 장치의 하부 표시판에 형성된 스위칭 소자는 다음과 같은 영향을 받게 된다.

- <20> 상부 표시판에 공통 전압을 인가할 때, 실제 문턱 전압(threshold voltage)( $V_t$ )은 다음과 같은 [수학식 1]을 이용하여 산출할 수 있다.
- <21> **【수학식 1】**  $V_t = V_{to} + \gamma [\sqrt{(2\phi_f + V_{cs})} - \sqrt{(2\phi_f)}]$
- <22> 여기서,  $V_t$ : 문턱 전압,  $V_{to}$ :  $V_{cs}=0$ 일 때의 문턱 전압,  $\gamma$ : 제조공정시의 매개 변수,  $\phi_f$ : 상수,  $V_{cs}=V_c-V_s$  ( $V_c$ : 공통 전압,  $V_s$ : 박막 트랜지스터의 소스 단자에 인가되는 전압)
- <23> [수학식 1]을 통하여 알 수 있는 바와 같이, 실제 문턱 전압( $V_t$ )은  $V_{cs}$ 의 값에 비례하고, 소스 전극에 공급되는 소스 전압은 데이터 구동부로부터 인가되는 데이터 전압이므로, 실질적으로 실제 문턱 전압( $V_t$ )은 공통 전압( $V_{com}$ )의 값에 비례하게 된다.
- <24> 이와 같이, 공통 전압( $V_{com}$ )에 따라 실제 문턱 전압( $V_t$ )이 변하여, 실제 문턱 전압( $V_t$ )을 감소시킬 경우엔, 박막 트랜지스터의 게이트 전극에 인가되는 구동 전압을 낮추는 효과가 발생하므로 박막 트랜지스터의 턴온 시점을 낮추게 되고, 그에 따라 턴온 시의 전류 흐름이 증가하여 박막 트랜지스터의 동작 효율을 높이는 결과가 나타난다.
- <25> 하지만 반대로 실제 문턱 전압( $V_t$ )을 증가시킬 경우엔, 게이트 전극에 인가되는 구동 전압을 높이는 경과가 발생하여 박막 트랜지스터의 턴온 시점을 높이게 되고, 그에 따라 턴온 시의 전류 흐름이 감소하여 박막 트랜지스터의 동작 효율이 감소하는 결과를 초래한다.
- <26> 또한, 게이트 전극을 통해 게이트 신호가 인가될 경우, 공통 전극과 게이트 전극 사이에 축전기가 형성되고, 이때 형성된 축전기에 의해 인가된 게이트 신호의 게이트 온 전압이 낮아지게 된다. 따라서 소스 전극과 드레인 전극 사이의 채널 형성을 위한 게이트 온 전압을 감소시키는 결과를 초래하는 문제가 발생한다.

- <27> 더욱이 GIL 구조에서 게이트 구동부 영역에 형성되는 스위칭 소자는 화소 영역에 형성되는 스위칭 소자보다 그 크기가 훨씬 크므로 채널 폭도 7000 내지 10000 $\mu\text{m}$  정도로 매우 크다. 이와 같이, 스위칭 소자의 채널 폭이 커짐에 따라, 공통 전극과 게이트 전극 사이에 형성되는 축전기의 영향도 더욱 커지게 된다.
- <28> 실제로 게이트 전극과 소스 전극 사이에 형성되는 축전기( $C_{gs}$ )와 게이트 전극과 공통 전극 사이에 형성되는 축전기( $C_{gc}$ )의 용량을 비교해 보면,
- <29>  $C_{gs}:C_{gc} = 4.6:1$ (저전압 액정을 기준)
- <30> 로  $C_{gc}$ 의 용량이 매우 커, 실제 액정 표시 장치의 구동에 많은 영향을 미칠 수 있다는 것을 알 수 있다.
- <31> 따라서 본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 상부 표시판에 인가되는 공통 전압으로부터의 스위칭 소자의 악영향을 감소시키는 것이다.
- <32> 또한 본 발명이 이루고자 하는 다른 기술적 과제는 실질적으로 스위칭 소자의 문턱 전압을 감소시키는 효과를 발생시켜, 불필요한 전압 손실을 방지하고 액정 표시 장치의 구동 전압 효율을 향상시키는 것이다.

#### 【발명의 구성 및 작용】

- <33> 본 발명의 한 특징에 따른 박막 트랜지스터는
- <34> 게이트 전극,
- <35> 상기 게이트 전극 위에 형성되어 있는 게이트 절연막,
- <36> 상기 게이트 절연막 위에 형성되어 있는 반도체층,

- <37> 상기 반도체층 위에 적어도 일부분 형성되어 있고, 서로 마주보는 소스 전극 및 드레인 전극,
- <38> 상기 소스 전극, 상기 드레인 전극 및 상기 소스 전극과 상기 드레인 전극으로 덮이지 않은 상기 반도체층 부분 위에 형성되어 있는 보호막, 그리고
- <39> 상기 보호막 위에 형성되어 있고 상기 소스 전극과 상기 드레인 전극 사이에 위치하며 도전 물질로 이루어진 차단 부재
- <40> 를 포함한다.
- <41> 상기 차단 부재는 전기적으로 고립되어 있거나 소정 전압이 인가되는 것이 바람직하고, 이 때, 상기 소정 전압은 부극성 전압인 것이 좋다. 또한 차단 부재는 상기 화소 전극과 동일한 층에 형성되어 있다.
- <42> 상기 차단 부재는 IZO 또는 ITO로 이루어지는 것이 좋고, 상기 차단 부재는 말굽형인 것이 바람직하다.
- <43> 본 발명이 한 특징에 따른 박막 트랜지스터 표시판은
- <44> 게이트선과 데이터선,
- <45> 제어 전극, 입력 전극, 출력 전극, 그리고 상기 입력 전극과 상기 출력 전극 사이에 위치한 채널부를 포함하고, 게이트 신호를 생성하여 상기 게이트선에 인가하는 제1 박막 트랜지스터,
- <46> 상기 게이트선에 연결되어 있는 게이트 전극, 상기 데이터선에 연결되어 있는 소스 전극, 드레인 전극, 그리고 상기 소스 전극 및 상기 드레인 전극 사이에 위치한 채널부를 포함

하며, 상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 선택적으로 전달하는 제2 박막 트랜지스터,

<47> 상기 드레인 전극에 연결되어 상기 데이터 신호를 인가받는 화소 전극, 그리고

<48> 상기 제1 박막 트랜지스터의 채널부 위에 위치하며 도전 물질로 이루어진 제1 차단 부재  
<49> 를 포함한다.

<50> 상기 제1 차단 부재는 전기적으로 고립되어 있거나 소정 전압이 인가되는 것이 바람직하고, 이 때, 상기 소정 전압은 부극성 전압인 것이 좋다.

<51> 본 발명의 다른 특징에 따른 액정 표시 장치는

<52> 복수의 게이트선 및 데이터선,

<53> 제어 전극, 입력 전극, 출력 전극 및 채널층을 포함하고 게이트 신호를 생성하여 상기 게이트선에 인가하는 제1 박막 트랜지스터,

<54> 상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 선택적으로 전달하는 제2 박막 트랜지스터,

<55> 상기 제2 박막 트랜지스터에 연결되어 상기 데이터 신호를 인가받는 화소 전극, 그리고

<56> 상기 제1 박막 트랜지스터의 상기 채널층 위에 위치하며 도전 물질로 이루어진 차단 부재

<57> 를 구비한 제1 표시판,

<58> 공통 전극을 구비한 제2 표시판, 그리고

<59> 상기 제1 및 제2 표시판 사이에 들어 있고, 상기 공통 전극과 상기 화소 전극에 의해 생성된 전기장에 따라 배향이 정해지는 액정층을 포함한다.

- <60> 또한 제1 차단 부재는 상기 화소 전극과 동일한 층에 형성되어 있다.
- <61> 상기 공통 전극은 상기 차단 부재와 마주보는 것이 좋다.
- <62> 본 발명에 따른 박막 트랜지스터의 제조 방법은
- <63> 기판 위에 게이트 전극을 형성하는 단계,
- <64> 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계,
- <65> 상기 게이트 절연막 위에 반도체층을 형성하는 단계,
- <66> 상기 반도체층의 적어도 일부 위에 소스 전극 및 드레인 전극을 형성하는 단계,
- <67> 상기 소스 전극, 상기 드레인 전극 및 상기 소스 전극과 상기 드레인 전극으로 덮이지 않은 상기 반도체층 부분 위에 보호막을 형성하는 단계, 그리고
- <68> 상기 소스 전극과 상기 드레인 전극 사이의 상기 반도체층 부분 위에 도전 물질로 이루어진 차단 부재를 형성하는 단계
- <69> 를 포함한다.
- <70> 상기 차단 부재는 IZO 또는 ITO로 이루어지는 것이 바람직하다.
- <71> 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은
- <72> 기판 위에 게이트 전극과 제어 전극을 형성하는 단계,
- <73> 상기 게이트 전극과 상기 제어 전극 위에 게이트 절연막을 적층하는 단계,
- <74> 상기 게이트 절연막 위에 반도체층을 형성하는 단계,
- <75> 상기 반도체층과 접하는 소스 전극 및 드레인 전극과 입력 전극 및 출력 전극을 형성하는 단계,

- 76> 상기 소스 전극 및 상기 드레인 전극과 상기 입력 전극 및 상기 출력 전극, 그리고 상기 소스 전극 및 상기 드레인 전극과 상기 입력 전극 및 상기 출력 전극으로 덮이지 않은 상기 반도체층 부분 위에 보호막을 형성하는 단계,
- 77> 상기 보호막 위에 화소 전극을 형성하는 단계, 그리고
- 78> 상기 입력 전극 및 상기 출력 전극 사이의 상기 보호막 위에 도전 물질로 이루어진 제1 차단 부재를 형성하는 단계
- 79> 를 포함한다.
- 80> 상기 화소 전극 형성 단계와 상기 제1 차단 부재 형성 단계는 동시에 이루어지는 것이 바람직하다.
- 81> 상기 박막 트랜지스터 표시판의 제조 방법은 상기 소스 전극과 상기 드레인 전극 사이의 상기 보호막 위에 제2 차단 부재를 형성하는 단계를 더 포함할 수 있다.
- 82> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- 83> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대 하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- 84> 이제 본 발명의 실시예에 따른 액정 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

- 85> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- 86> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- 87> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선( $G_1-G_n$ ,  $D_1-D_m$ )과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다.
- 88> 표시 신호선( $G_1-G_n$ ,  $D_1-D_m$ )은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선( $G_1-G_n$ )과 데이터 신호를 전달하는 데이터 신호선 또는 데이터선( $D_1-D_m$ )을 포함한다. 게이트선( $G_1-G_n$ )은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선( $D_1-D_m$ )은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- 89> 각 화소는 표시 신호선( $G_1-G_n$ ,  $D_1-D_m$ )에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)( $C_{LC}$ ) 및 유지 축전기(storage capacitor)( $C_{ST}$ )를 포함한다. 유지 축전기( $C_{ST}$ )는 필요에 따라 생략할 수 있다.
- 90> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선( $G_1-G_n$ ) 및 데이터선( $D_1-D_m$ )에 연결되어 있으며, 출력 단자는 액정 축전기( $C_{LC}$ ) 및 유지 축전기( $C_{ST}$ )에 연결되어 있다.
- 91> 액정 축전기( $C_{LC}$ )는 하부 표시판(100)의 화소 전극(190)과 상부 표시판("색필터 표시판"이라도 칭함)200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은

유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압( $V_{com}$ )을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어진다.

92> 유지 축전기( $C_{ST}$ )는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압( $V_{com}$ ) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기( $C_{ST}$ )는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

93> 한편, 색 표시를 구현하기 위해서는 각 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극(190)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(230)를 구비함으로써 가능하다. 도 2에서 색 필터(230)는 상부 표시판(200)의 해당 영역에 형성되어 있지만 이와는 달리 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.

94> 액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.

95> 제조 전압 생성부(800)는 화소의 투과율과 관련된 두 별의 복수 제조 전압을 생성한다. 두 별 중 한 별은 공통 전압( $V_{com}$ )에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.

96> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선( $G_1-G_n$ )에 연결되어 외부로부터의 게이트 온 전압( $V_{on}$ )과 게이트 오프 전압( $V_{off}$ )의 조합으로 이루어진 게이트 신호를 게이트선( $G_1-G_n$ )에 인가하며 통상 복수의 집적 회로로 이루어진다. 본 발명의 실시예에 따른 게이

트 구동부(400)의 집적 회로는 도 1에 도시한 바와 같이, 이들 집적 회로와 같은 기능을 수행하는 회로를 액정 표시판 조립체(300)에 직접 실장한 구조(GIL 구조)를 갖고 있다. 게이트 구동부(400)를 이루는 복수의 회로는 대부분 박막 트랜지스터로 이루어진 스위칭 소자들이다. 통상적으로 하나의 게이트선으로 게이트 신호를 전달하기 위해 설계된 게이트 구동부(400)의 박막 트랜지스터의 개수를 약 14개 정도이다.

97> 도 3에는 게이트 온 전압( $V_{on}$ )을 해당 게이트선( $G_1-G_n$ )에 전달하는 박막 트랜지스터가 도시되어 있다. 도 3에 도시한 바와 같이, 이 박막 트랜지스터는 입력 신호선(171a)을 통해 외부로부터 소스 전압을 공급받고, 제어 신호선(126)을 통해 외부로부터 구동 신호를 전달받는다. 따라서 제어 신호선(126)을 통해 구동 신호가 인가되면, 박막 트랜지스터는 턴온되고, 입력 신호선(171a)을 통하여 공급받은 소스 전압의 전류가 턴온된 박막 트랜지스터를 통해 흐르므로, 출력 신호선(176)으로 게이트 온 전압( $V_{on}$ )을 출력하여 해당 게이트선( $G_1-G_n$ )에 전달한다. 이들 소스 전압 및 구동 신호와 같은 전압이나 제어 신호등은 액정 표시판 조립체(300) 상의 게이트 구동부(400) 좌측에 형성되는 복수의 신호선(도시하지 않음)을 통하여 신호 제어부(600) 등으로부터 공급된다.

98> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선( $D_1-D_m$ )에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 신호로서 화소에 인가하며 통상 복수의 집적 회로로 이루어진다.

99> 본 발명의 실시예에서, 게이트 구동부(400)는 액정 표시판 조립체(300)에 직접 실장하였으나, 복수의 게이트 구동 집적 회로 또는 데이터 구동 집적 회로는 유리 기판 위에 이들 집적 회로를 직접 부착하거나(chip on glass, COG 실장 방식), TCP(tape carrier package)(도시하지 않음)에 실장하여 TCP를 액정 표시판 조립체(300)에 부착할 수도 있다.

- 00> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(400) 및 데이터 구동부(500)에 제공한다.
- 01> 그러면, 도 3 내지 도 7을 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치의 구조에 대하여 상세하게 설명한다.
- 02> 도 3은 본 발명의 한 실시예에 따른 게이트 구동부에서 게이트 온 전압을 전달하기 위한 박막 트랜지스터의 구조를 개략적으로 도시한 배치도이고, 도 4는 도 3에 도시한 박막 트랜지스터의 일부 확대도이며, 도 5는 도 4에 도시한 박막 트랜지스터를 V-V' 선을 따라 잘라 도시한 단면도이다. 또한 도 6은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 7은 도 6에 도시한 박막 트랜지스터 표시판을 VII-VII' 선을 따라 잘라 도시한 단면도이다.
- 03> 도 5는 액정 표시 장치 중에서 게이트 구동부 영역의 단면도를 도시한 것이고, 도 7은 액정 표시 장치 중에서 표시 영역의 단면도를 도시한 것이다.
- 04> 먼저, 도 5와 도 7을 참고하여, 액정 표시 장치의 하부 표시판(100)과 상부 표시판(200) 중에서 게이트 구동부(400) 영역과 표시 영역에 형성되는 상부 표시판(색필터 표시판)(200)의 구조에 대하여 설명한다.
- 05> 상부 표시판(200)은 투명한 절연 기판(210), 절연 기판(210)의 위에 형성되는 있는 블랙 매트릭스(220)를 포함한다. 표시 영역에 형성된 블랙 매트릭스(220)는 화소 영역을 정의하는 복수의 개구부를 가지고 있는 반면에, 게이트 구동부(400) 영역에 형성된 블랙 매트릭스(220)는 별도의 개구부를 구비하고 있지 않다. 또한, 상부 표시판(200)은 표시 영역의 화소 영역에 형성

되어 있는 적색, 녹색, 청색 등의 색필터(230), 이들 색필터(230) 위에 형성되어 있는 오버코트막(250), 오버코트막(250) 위에 형성되어 있는 공통 전극(270) 및 이 공통 전극(270) 위에 형성되어 있는 배향막(21) 등을 포함한다. 게이트 구동부(400) 영역에는 화소 영역이 정의되어 있지 않으므로 색필터(230)가 형성되어 있지 않고, 배향막(21)은 폴리이미드(polyimide) 등으로 형성될 수 있다.

- 06> 본 발명의 실시예에서, 액정층(3)의 두께, 또는 간격은 약  $3.7\mu\text{m}$ 이고 색필터의 두께는 약  $1.5\mu\text{m}$ 에서  $1.6\mu\text{m}$ 인 것이 바람직하다.
- 07> 다음에, 액정 표시 장치의 박막 트랜지스터 표시판의 구조에 대하여 설명한다.
- 08> 절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)과 제어 신호선(126)이 형성되어 있다. 게이트선(121)과 제어 신호선(126)은 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이룬다. 또한 각 게이트선의 다른 일부는 아래 방향으로 돌출하여 복수의 확장부(expansion)(127)를 이룬다. 제어 신호선(126)의 일부는 제어 전극(124a)을 이룬다.
- 09> 게이트선(121) 및 제어 신호선(126)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등 은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.



- 110> 게이트선(121) 및 제어 신호선(126)의 측면은 경사져 있으며, 경사각은 기판(110)의 표면에 대하여 약 30-80°범위이다.
- 111> 게이트선(121) 및 제어 신호선(126) 위에는 질화규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막 (gate insulating layer)(140)이 형성되어 있다.
- 112> 게이트 전극(124) 및 제어 전극(124a) 위의 게이트 절연막(140) 상부에는 수소화 비정질 규소 (hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 섬 형 반도체(154)와 반도체(155)가 형성되어 있다.
- 113> 반도체(154, 155)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 섬형 저항성 접촉 부재(ohmic contact)(163, 165) 및 저항성 접촉 부재(163a 및 165a)가 쌍을 이루면서 형성되어 있다..
- 114> 반도체(154, 155)와 저항성 접촉 부재(163 및 165, 163a 및 165a)의 측면 역시 경사져 있으며 경사각은 30-80°이다.
- 115> 저항 접촉 부재(163 및 165, 163a 및 165a) 및 게이트 절연막(140) 위에는 각각 복수의 데이터 선(data line)(171)과 입력 신호선(171a), 복수의 드레인 전극(drain electrode)(175)과 출력 신호선(176), 그리고 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.
- 116> 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치한다.

- 117> 입력 신호선(171a)은 일정 부분이 주로 세로 방향으로 뻗어 있으며, 이 신호선(171a)에서 가로 방향으로 복수의 주 가지, 즉 신호선(171a)의 소정 부분에서 세 개의 주 가지가 뻗어 나와 각각 입력 신호선 연결부(172)를 형성한다. 이 입력 신호선 연결부(172)에는 세로 방향으로 각각 복수의 가지가 빗살 형상으로 일정 간격을 두고 형성되어 입력 전극(173a)을 형성한다.
- 118> 또한 출력 신호선(176)은 일정 부분이 주로 세로 방향으로 뻗어 있으며 이 신호선(176)의 소정 부분에서 두 개의 주 가지가 가로 방향으로 뻗어 나와 각각 출력 신호 연결부(178)를 형성한다. 이 출력 신호선 연결부(178)의 양 측면에는 세로 방향으로 복수의 가지가 일정 간격으로 형성되어 출력 전극(175a)을 형성한다.
- 119> 게이트 전극(124) 및 제어 전극(124a), 소스 전극(173) 및 입력 전극(173a), 그리고 드레인 전극(175) 및 출력 전극(175a)은 반도체(154, 155)와 함께 각각 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 각각 소스 전극(173)과 입력 전극(173a) 및 드레인 전극(175)과 출력 전극(175a) 사이의 반도체(154, 155)에 형성된다. 출력 신호선(176)의 출력 전극(175a)은 입력 전극(173a)과 교대로 배열되어 있으므로, 입력 전극(173a)과 출력 전극(175a) 사이에 형성되는 채널부의 형상은 말굽 형상을 갖는다.
- 120> 유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.
- 121> 데이터선(171)과 입력 신호선(171a), 드레인 전극(175)과 출력 신호선(176), 그리고 유지 축전기용 도전체(177) 또한 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등 은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)와 의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함



하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

- 122> 데이터선(171)과 입력 신호선(171a), 드레인 전극(175)과 출력 신호선(176), 그리고 유지 축전기용 도전체(177)의 측면 또한 경사져 있으며, 경사각은 기판(110)의 표면에 대하여 약 30-80° 범위이다.
- 123> 저항성 접촉 부재(163 및 165, 163a 및 165a)는 그 하부의 반도체(154, 155)와 그 상부의 데이터선(171)과 입력 신호선(171a) 및 드레인 전극(175)과 출력 신호선(176) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- 124> 데이터선(171)과 입력 신호선(171a), 드레인 전극(175)과 출력 신호선(176), 그리고 유지 축전기용 도전체(177)와 노출된 반도체(154, 155) 부분의 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화규소 따위로 이루어진 보호막(passivation layer)(180)이 형성되어 있다. 이와는 달리 보호막(180)은 유기물과 질화규소의 이중층으로 이루어질 수 있다.
- 125> 보호막(180)에는 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(185, 187, 182)이 형성되어 있다.
- 126> 보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(190)과 차단 부재(196) 및 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 있다.

- 27> 화소 전극(190)은 접촉 구멍(185, 187)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 도전체(177)에 데이터 전압을 전달한다.
- 28> 차단 부재(196)는 드레인 전극(175) 및 출력 전극(175a)과, 소스 전극(173) 및 입력 전극(173a) 사이의 채널부에 형성된다. 따라서 출력 전극(175a)과 입력 전극(173a) 사이에 형성된 차단 부재(196)는 채널부의 형상과 같은 말굽 형상을 갖고, 도시하지 않은 신호선을 통하여 외부로부터 인가되는 게이트 오프 전압( $V_{off}$ )을 입력받는다. 본 발명의 실시예에서, 차단 부재(196)에 게이트 오프 전압( $V_{off}$ )이 인가되지만, 어떠한 전압도 인가 받지 않을 수도 있고, 게이트 오프 전압( $V_{off}$ )이 아닌 접지 전압 등이 인가될 수도 있다.
- 129> 도 2를 다시 참고하면, 데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(190, 270) 사이의 액정층(3)의 액정 분자들을 재배열시킨다.
- 130> 또한 앞서 설명한 것처럼, 화소 전극(190)과 공통 전극(270)은 축전기를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 “유지 축전기(storage electrode)” ( $C_{ST}$ )라 한다. 유지 축전기( $C_{ST}$ )는 화소 전극(190) 및 이와 이웃하는 게이트선(121)[이를 “전단 게이트선(previous gate line)” 이라 함]의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여 게이트선(121)을 확장한 확장부(127)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(127)와 중첩되는 유지 축전기용 도전체(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

- 31> 화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율(aperture ratio)을 높이고 있으나, 중첩되지 않을 수도 있다.
- 32> 접촉 보조 부재(82)는 접촉 구멍(182)을 통하여 데이터선의 끝 부분(179)과 연결된다. 접촉 보조 부재(82)는 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.
- 33> 본 발명의 다른 실시예에 따르면 화소 전극(190)의 재료로 투명한 도전성 폴리머(polymer) 등을 사용하며, 반사형(reflective) 액정 표시 장치의 경우 불투명한 반사성 금속을 사용하여도 무방하다. 이때, 접촉 보조 부재(82)는 화소 전극(190)과 다른 물질, 특히 ITO 또는 IZO로 만들어질 수 있다.
- 34> 화소 전극(190)과 차단 부재(196) 및 이들에 의해 가려지지 않은 보호막(180) 위에는 폴리이미드 등으로 이루어진 배향막(11)이 형성되어 있다.
- 135> 이와 같이 박막 트랜지스터의 채널부에 차단 부재(196)가 형성됨에 따라, 공통 전극(270)에 인가되는 공통 전압( $V_{com}$ )이 액정층(3)이나 다른 전극에 미치는 영향을 차단하여, 트랜지스터의 문턱 전압에 대한 악영향을 방지한다. 오히려, 본 발명의 실시예에서는 게이트 오프 전압( $V_{off}$ )을 차단 부재(196)에 인가하여 게이트 전극과 차단 부재(196) 간의 전압 차이를 더욱 크게 함으로써, 박막 트랜지스터의 구동 전압을 감소시키는 효과를 초래하고, 그에 따라 박막 트랜지스터의 스위칭 시점을 감소시켜 게이트 온 전압의 효율을 향상시키고 박막 트랜지스터의 동작 효율을 높이게 된다.
- 136> 다음, 이러한 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.

- 37> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호( $V_{sync}$ )와 수평 동기 신호( $H_{sync}$ ), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시 판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호( $R'$ ,  $G'$ ,  $B'$ )는 데이터 구동부(500)로 내보낸다.
- 38> 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 신호의 하이 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- 39> 데이터 제어 신호(CONT2)는 영상 데이터( $R'$ ,  $G'$ ,  $B'$ )의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선( $D_1$ - $D_m$ )에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압( $V_{com}$ )에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.
- 40> 데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대응하는 영상 데이터( $R'$ ,  $G'$ ,  $B'$ )를 차례로 입력받고, 게조 전압 생성부(800)로부터의 게조 전압 중 각 영상 데이터( $R'$ ,  $G'$ ,  $B'$ )에 대응하는 게조 전압을 선택함으로써, 영상 데이터( $R'$ ,  $G'$ ,  $B'$ )를 해당 데이터 전압으로 변환한다.

- 41> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압( $V_{on}$ )을 게이트선( $G_1-G_n$ )에 인가하여 이 게이트선( $G_1-G_n$ )에 연결된 스위칭 소자(Q)를 턴온시킨다.
- 42> 하나의 게이트선( $G_1-G_n$ )에 게이트 온 전압( $V_{on}$ )이 인가되어 이에 연결된 한 행의 스위칭 소자(Q)가 턴 온되어 있는 동안[이 기간을 "1H" 또는 "1 수평 주기(horizontal period)"이라고 하며 수평 동기 신호( $H_{sync}$ ), 데이터 인에이블 신호(DE), 게이트 클럭(CPV)의 한 주기와 동일함], 데이터 구동부(500)는 각 데이터 전압을 해당 데이터선( $D_1-D_m$ )에 공급한다.  
데이터선( $D_1-D_m$ )에 공급된 데이터 전압은 턴온된 스위칭 소자(Q)를 통해 해당 화소에 인가된다.
- 143> 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선( $G_1-G_n$ )에 대하여 차례로 게이트 온 전압( $V_{on}$ )을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전").  
이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나("라인 반전"), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다("도트 반전").
- 144> 다음, 도 8을 참고로 하여, 공통 전극(270)에 인가되는 공통 전압( $V_{com}$ )의 변화에 따른 액정과 등전위선의 변화를 설명한다. 도 8a 내지 도 8c는 공통 전압( $V_{com}$ )의 변화에 따른 액정과 등전위선의 변화를 나타내는 도면이다.

- 45> 도 8a는 공통 전극(270)에 +3.3V의 공통 전압( $V_{com}$ )을 인가할 때, 액정과 등전위선의 상태를 도시한 것이고, 도 8b는 공통 전극(270)에 -1.0V의 공통 전압( $V_{com}$ )을 인가할 때의 도면이며, 도 8c는 공통 전극을 제거할 때의 도면이다.
- 46> 도 8a 및 도 8b에 도시한 것처럼, 공통 전극(270)에 인가되는 공통 전압( $V_{com}$ )이 클수록 공통 전압( $V_{com}$ )이 드레인 전극과 소스 전극에 인가되는 드레인 전압과 소스 전압에 미치는 영향이 커져, 등전위선은 공통 전압( $V_{com}$ )이 인가되는 상부 표시판(200)에 평행하게 형성된다. 하지만, 도 8c에 도시한 것처럼, 공통 전극을 제거하여, 공통 전압( $V_{com}$ )이 상판 표시부(200)에 인가되지 않을 경우엔, 드레인 전압과 소스 전압에 의해 영향만으로 등전위선이 결정되어 액정 분자의 배열이 정해짐을 알 수 있다. 이때, 액정 분자의 배열에 영향을 미치는 전자는 등전위선에 수직한 방향으로 작용한다.
- 47> 이미 기술한 바와 같이, 공통 전극에 인가되는 공통 전압( $V_{com}$ )의 값이 작으면 작을수록 박막 트랜지스터의 문턱 전압을 낮추는 효과가 발생하므로, 작은 값의 공통 전압( $V_{com}$ )이 인가될수록 박막 트랜지스터의 동작 효율이 향상됨을 알 수 있다.
- 48> 다음엔 도 9a 및 도 9b와 도 10a 및 도 10b를 참고로 하여 공통 전압( $V_{com}$ ) 변화에 따라 게이트 구동부에서 출력되는 게이트 신호의 변화를 설명한다.
- 49> 도 9a는 액정층(3)이 제거되지 않은 상태에서, +3.3V의 공통 전압( $V_{com}$ )을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이고, 도 9b는 액정층(3)이 제거된 상태에서, +3.3V의 공통 전압( $V_{com}$ )을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이다.

- 50> 또한 도 10a는 액정층(3)이 제거되지 않은 상태에서,  $-1.0V$ 의 공통 전압( $V_{com}$ )을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이고, 도 10b는 액정층(3)이 제거된 상태에서,  $-1.0V$ 의 공통 전압( $V_{com}$ )을 인가할 때 게이트 구동부에서 출력되는 게이트 신호의 변화를 도시한 것이다.
- 51> 액정층(3)을 제거하지 않은 경우  $+23.6V$ 의 게이트 신호가 게이트 구동부(400)에 인가되면, 도 9a의 경우엔  $+14.6V$ 의 게이트 신호가 출력되어,  $9.0V$  정도의 전압 강하가 발생하지만, 도 10a의 경우엔  $+20.6V$ 의 게이트 신호가 출력되어  $3.0V$ 의 전압 강하만 발생한다. 이와 같이, 공통 전압( $V_{com}$ )의 값이 작을수록 공통 전압에 의한 액정층(3)과 게이트 전극 등의 영향이 줄어들어, 게이트 구동부(400)로부터 출력되는 해당 게이트 선( $G_1-G_n$ )에 인가되는 게이트 신호의 전압 강하가 감소하고, 그로 인해 박막 트랜지스터의 동작 효율이 향상된다.
- 52> 도 9b 및 도 10b는 액정층을 제거한 경우,  $+23.6V$ 의 게이트 신호를 게이트 구동부(400)에 인가할 경우 출력되는 게이트 신호 변화를 나타낸 것으로, 공통 전압( $V_{com}$ )에 대한 액정층(3) 등의 영향이 없는 상황이므로  $+3.3V$ 의 공통 전압( $V_{com}$ )이 인가될 경우나  $-1.0V$ 의 공통 전압( $V_{com}$ )이 인가될 경우, 각각  $+20.6V$ 와  $+20.8V$ 로 출력되는 게이트 신호는 별 차이가 없음을 알 수 있다.
- 53> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

## 【발명의 효과】

- 54> 이와 같이, 본 발명은 액정 표시 장치의 하부 표시판에 형성되는 박막 트랜지스터의 동작이 상부 표시판의 공통 전극에 인가되는 공통 전압으로부터의 영향을 방지하기 위해, 박막 트랜지스터의 채널부에 차단 부재를 형성한다. 따라서 공통 전압으로 인해 문턱 전압이 증가되는 것을 방지하고, 공통 전극과 게이트 전극 간에 발생하는 축전기의 용량을 큰 폭으로 줄일 수 있게 되어, 박막 트랜지스터의 동작 효율을 증가시킬 수 있고, 불필요한 게이트 온 전압의 손실을 방지한다.
- 55> 또한, 차단 부재에 게이트 오프 전압과 같은 (-)전압을 인가하므로, 차단 부재와 게이트 전극 사이의 전압 차이를 큰 폭으로 증가시키므로, 박막 트랜지스터의 문턱 전압을 큰 폭으로 감소시키는 결과를 초래하므로, 박막 트랜지스터의 동작 효율과 구동 전압의 효율을 크게 향상시킨다.
- 56> 더욱이, 화소 전극과 동일한 층에 차단 부재를 형성하므로, 별도의 마스크나 추가 공정이 필요 없으므로, 제조 비용의 추가로 증가시키지 않고, 제조 공정을 증가시키지 않는다.

【특허청구범위】

【청구항 1】

게이트 전극,

상기 게이트 전극 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 적어도 일부분 형성되어 있고, 서로 마주보는 소스 전극 및 드레인 전극,

상기 소스 전극, 상기 드레인 전극 및 상기 소스 전극과 상기 드레인 전극으로 덮이지 않은 상기 반도체층 부분 위에 형성되어 있는 보호막, 그리고

상기 보호막 위에 형성되어 있고 상기 소스 전극과 상기 드레인 전극 사이에 위치하며 도전 물질로 이루어진 차단 부재를 포함하는 박막 트랜지스터.

【청구항 2】

제1항에서,

상기 차단 부재는 전기적으로 고립되어 있는 박막 트랜지스터.

【청구항 3】

제1항에서,

상기 차단 부재는 소정 전압이 인가되는 박막 트랜지스터.

【청구항 4】

제3항에서,

상기 소정 전압은 부극성 전압인 박막 트랜지스터.

【청구항 5】

제1항에서,

상기 차단 부재는 IZO 또는 ITO로 이루어진 박막 트랜지스터.

【청구항 6】

제1항에서,

상기 차단 부재는 말굽형인 박막 트랜지스터.

【청구항 7】

제1항에서,

상기 보호막은 유기 절연 물질로 이루어진 박막 트랜지스터.

【청구항 8】

게이트선과 데이터선,

제어 전극, 입력 전극, 출력 전극, 그리고 상기 입력 전극과 상기 출력 전극 사이에 위치한 채널부를 포함하고, 게이트 신호를 생성하여 상기 게이트선에 인가하는 제1 박막 트랜지스터,

상기 게이트선에 연결되어 있는 게이트 전극, 상기 데이터선에 연결되어 있는 소스 전극, 드레인 전극, 그리고 상기 소스 전극 및 상기 드레인 전극 사이에 위치한 채널부를 포함

하며, 상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 선택적으로 전달하는 제2 박막 트랜지스터,

상기 드레인 전극에 연결되어 상기 데이터 신호를 인가받는 화소 전극, 그리고

상기 제1 박막 트랜지스터의 채널부 위에 위치하며 도전 물질로 이루어진 제1 차단 부재를 포함하는 박막 트랜지스터 표시판.

【청구항 9】

제8항에서,

상기 제1 차단 부재는 전기적으로 고립되어 있는 박막 트랜지스터 표시판.

【청구항 10】

제8항에서,

상기 제1 차단 부재는 소정 전압이 인가되는 박막 트랜지스터 표시판.

【청구항 11】

제10항에서,

상기 소정 전압은 부극성 전압인 박막 트랜지스터 표시판.

【청구항 12】

제8항에서,

상기 제1 차단 부재는 상기 화소 전극과 동일한 층에 형성되어 있는 박막 트랜지스터 표시판.

## 【청구항 13】

제8항에서,

상기 제2 박막 트랜지스터의 채널부 위에 위치하며 상기 화소 전극과 동일한 층에 형성되어 있는 제2 차단 부재를 더 포함하는 박막 트랜지스터 표시판.

## 【청구항 14】

제13항에서,

상기 소스 전극, 상기 드레인 전극 및 상기 제1 및 제2 박막 트랜지스터의 채널부와, 상기 제1 및 제2 차단 부재 및 상기 화소 전극 사이에 형성되어 있는 보호막을 더 포함하는 박막 트랜지스터 표시판.

## 【청구항 15】

제14항에서,

상기 보호막은 유기 절연 물질로 이루어진 박막 트랜지스터 표시판.

## 【청구항 16】

복수의 게이트선 및 데이터선,

제어 전극, 입력 전극, 출력 전극 및 채널층을 포함하고 게이트 신호를 생성하여 상기 게이트선에 인가하는 제1 박막 트랜지스터,

상기 게이트선으로부터의 상기 게이트 신호에 따라 상기 데이터선으로부터의 데이터 신호를 선택적으로 전달하는 제2 박막 트랜지스터,

상기 제2 박막 트랜지스터에 연결되어 상기 데이터 신호를 인가받는 화소 전극, 그리고

상기 제1 박막 트랜지스터의 상기 채널층 위에 위치하며 도전 물질로 이루어진 차단 부재

를 구비한 제1 표시판,

공통 전극이 구비된 제2 표시판, 그리고

상기 제1 및 제2 표시판 사이에 들어 있고, 상기 공통 전극과 상기 화소 전극에 의해 생성된 전기장에 따라 배향이 정해지는 액정층을 포함하는 액정 표시 장치.

【청구항 17】

제16항에서,

상기 차단 부재는 상기 화소 전극과 동일한 층에 형성되어 있는 액정 표시 장치.

【청구항 18】

제17항에서,

상기 공통 전극은 상기 차단 부재와 마주보는 액정 표시 장치.

【청구항 19】

기판 위에 게이트 전극을 형성하는 단계,

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 반도체층을 형성하는 단계,

상기 반도체층의 적어도 일부 위에 소스 전극 및 드레인 전극을 형성하는 단계,

상기 소스 전극, 상기 드레인 전극 및 상기 소스 전극과 상기 드레인 전극으로 덮이지 않은 상기 반도체층 부분 위에 보호막을 형성하는 단계, 그리고

상기 소스 전극과 상기 드레인 전극 사이의 상기 반도체층 부분 위에 도전 물질로 이루어진 차단 부재를 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

【청구항 20】

제19항에서,

상기 차단 부재는 IZO 또는 ITO로 이루어진 박막 트랜지스터의 제조 방법.

【청구항 21】

기판 위에 게이트 전극과 제어 전극을 형성하는 단계,

상기 게이트 전극과 상기 제어 전극 위에 게이트 절연막을 적층하는 단계,

상기 게이트 절연막 위에 반도체층을 형성하는 단계,

상기 반도체층과 접하는 소스 전극 및 드레인 전극과 입력 전극 및 출력 전극을 형성하는 단계,

상기 소스 전극 및 상기 드레인 전극과 상기 입력 전극 및 상기 출력 전극, 그리고 상기 소스 전극 및 상기 드레인 전극과 상기 입력 전극 및 상기 출력 전극으로 덮이지 않은 상기 반도체층 부분 위에 보호막을 형성하는 단계,

상기 보호막 위에 화소 전극을 형성하는 단계, 그리고

상기 입력 전극과 상기 출력 전극 사이의 상기 보호막 위에 도전 물질로 이루어진 제1 차단 부재를 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

【청구항 22】

제21항에서,

상기 화소 전극 형성 단계와 상기 제1 차단 부재 형성 단계는 동시에 이루어지는 박막 트랜지스터 표시판의 제조 방법.

【청구항 23】

제21항에서,

상기 보호막은 유기 절연 물질로 이루어지는 박막 트랜지스터 표시판의 제조 방법.

【청구항 24】

제21항에서,

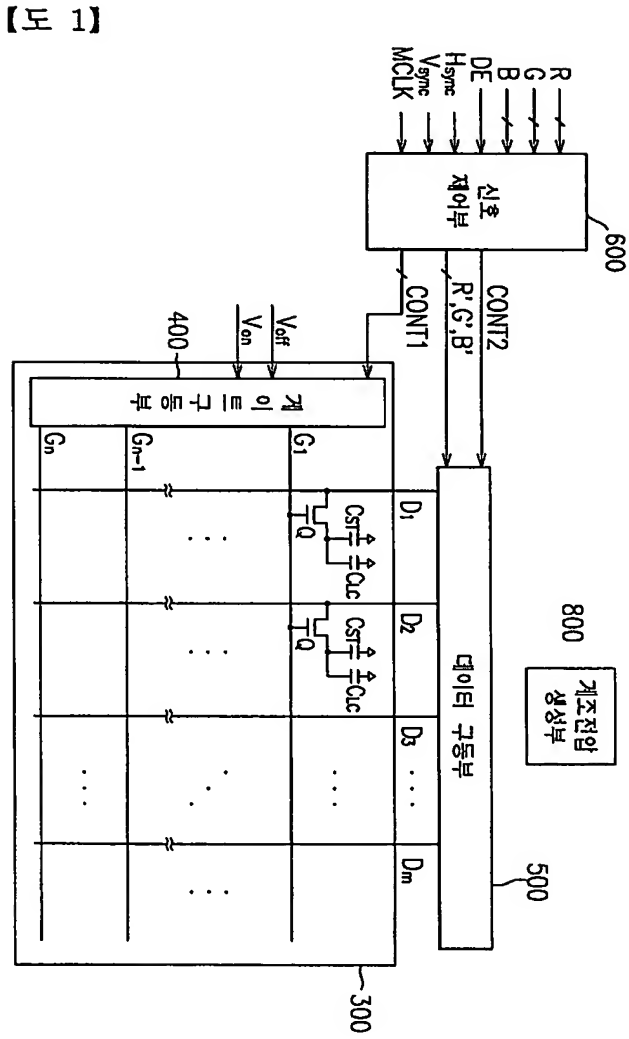
상기 화소 전극은 IZO 또는 ITO로 형성하는 박막 트랜지스터 표시판의 제조 방법.

【청구항 25】

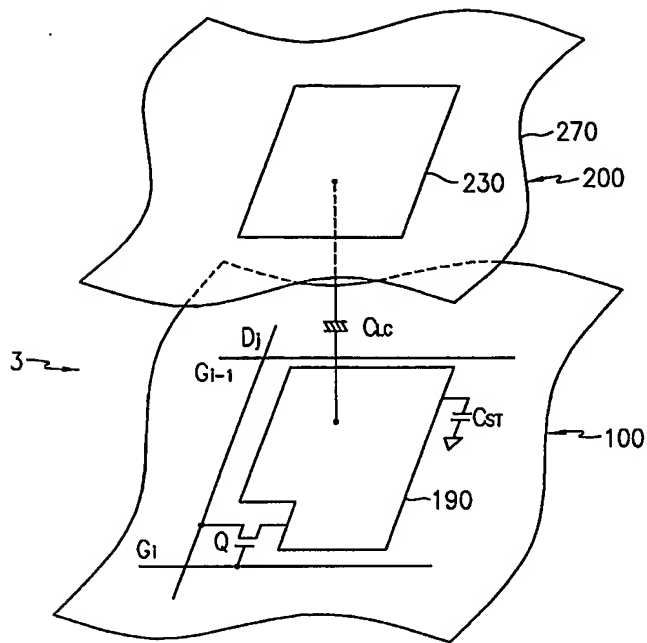
제21에서,

상기 소스 전극과 상기 드레인 전극 사이의 상기 보호막 위에 제2 차단 부재를 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

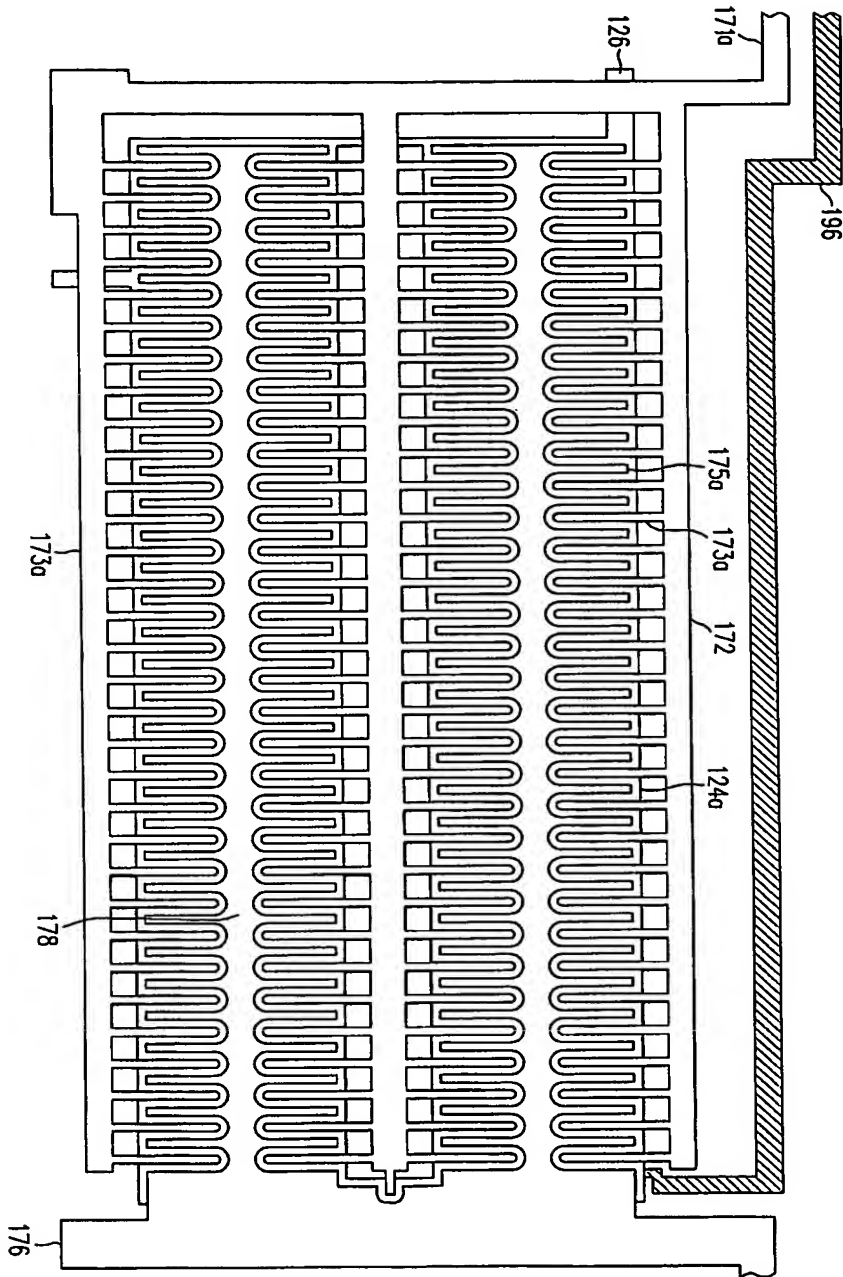
【도면】



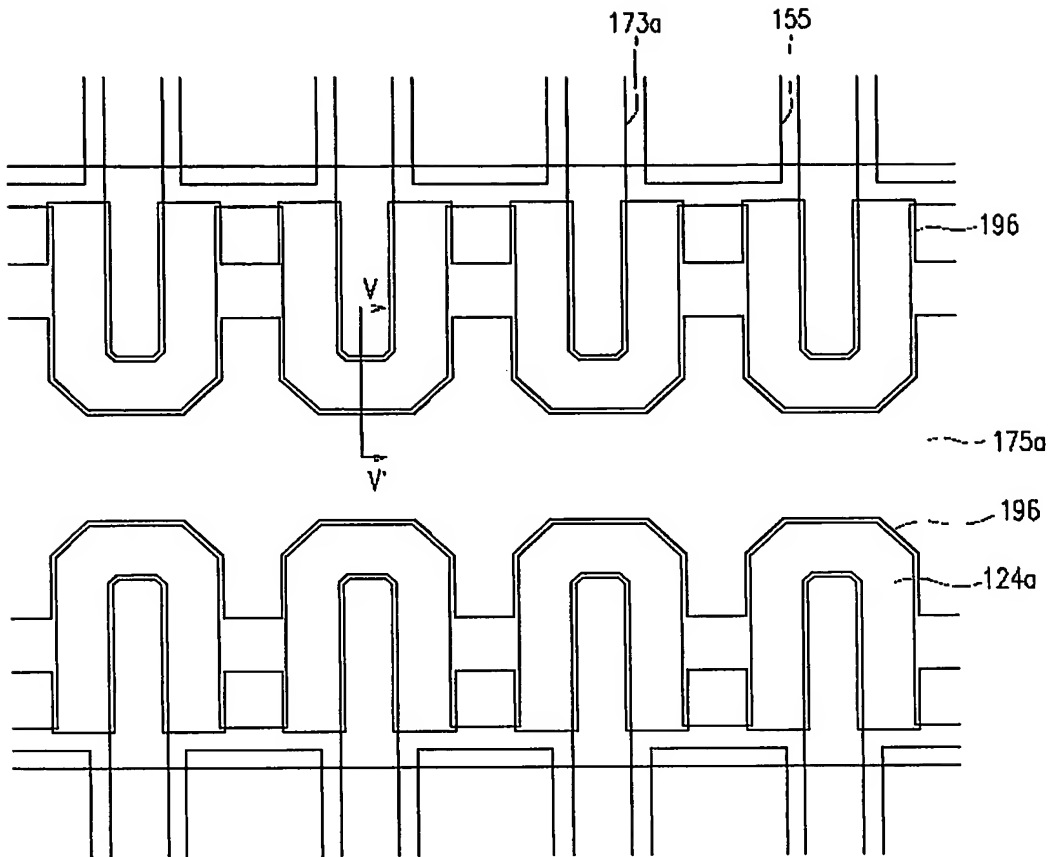
【도 2】



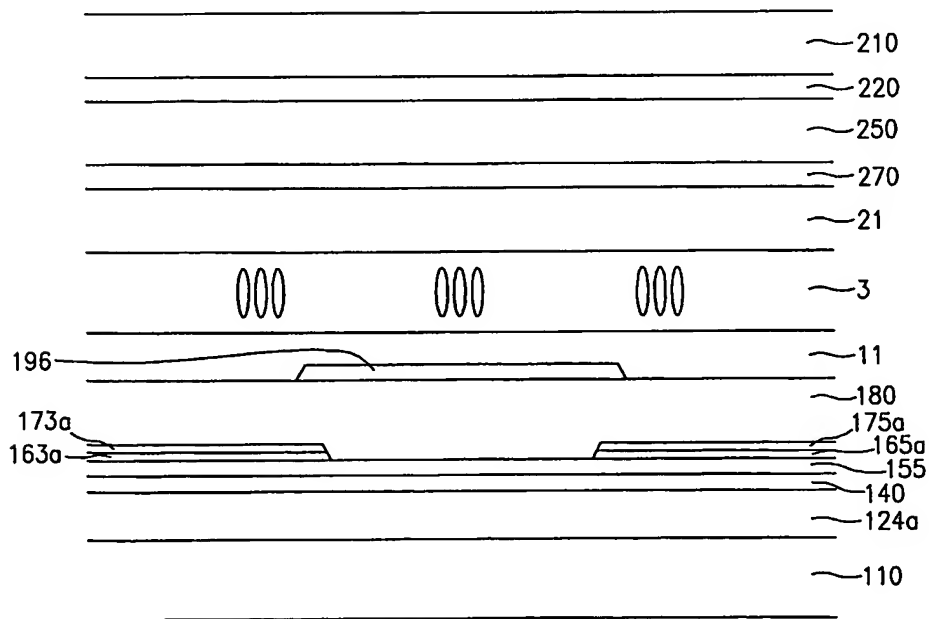
【도 3】



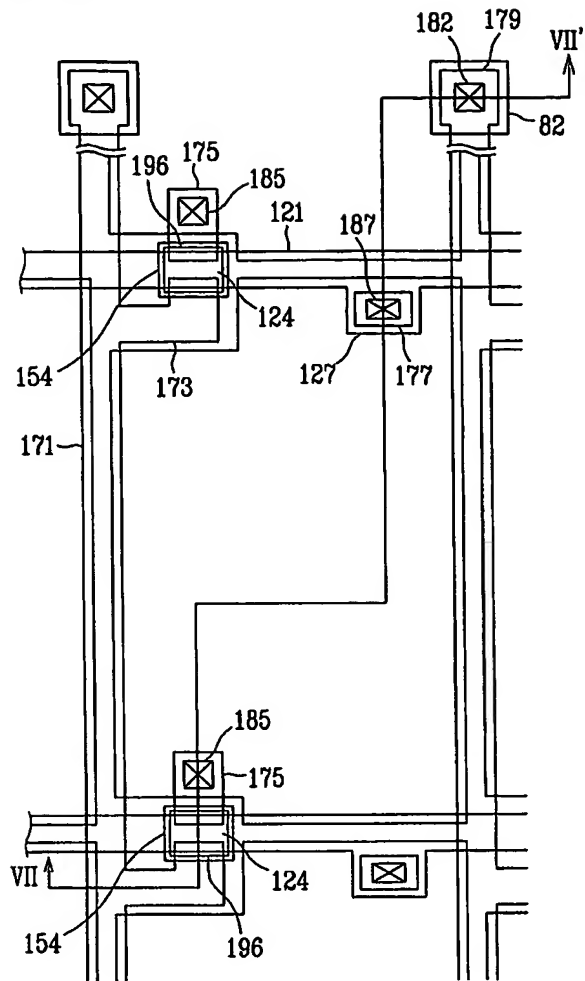
【도 4】



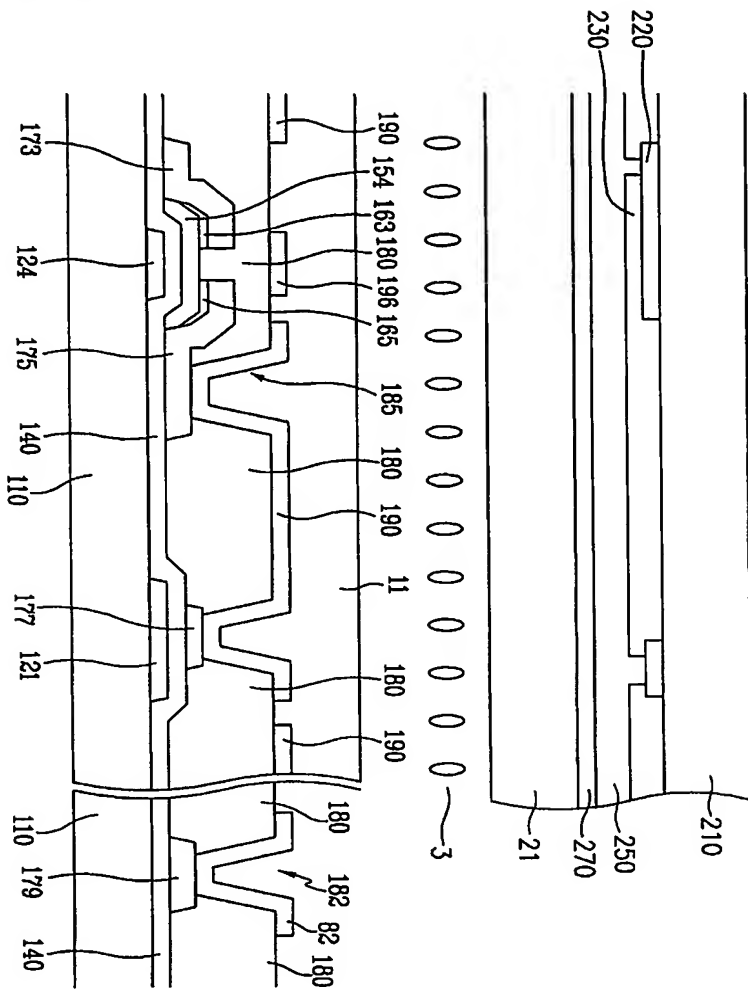
【도 5】



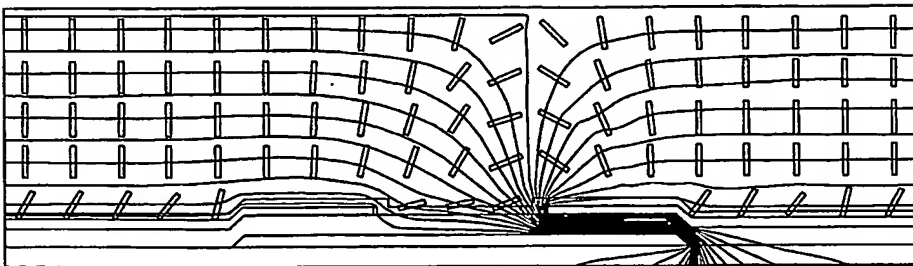
【도 6】



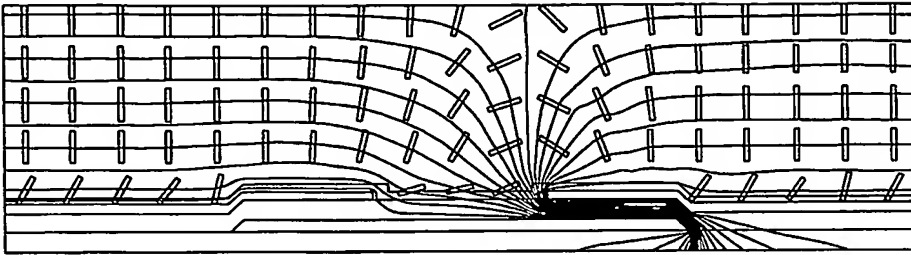
【도 7】



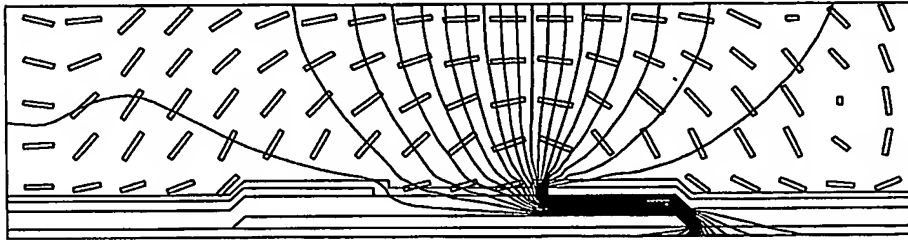
【도 8a】



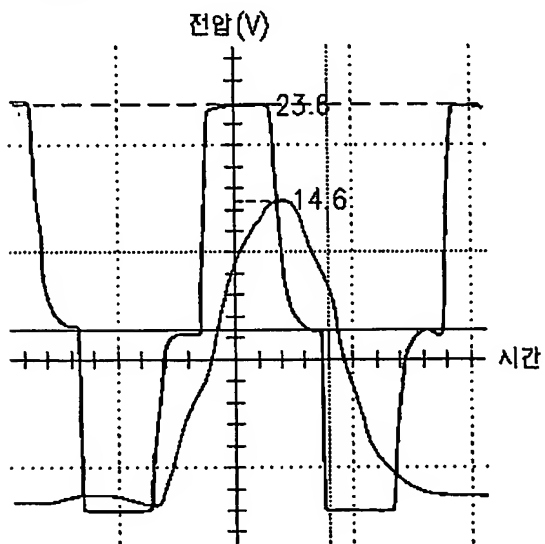
【도 8b】



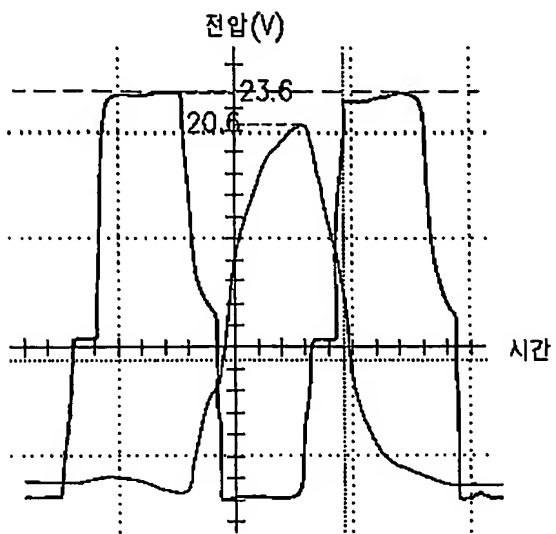
【도 8c】



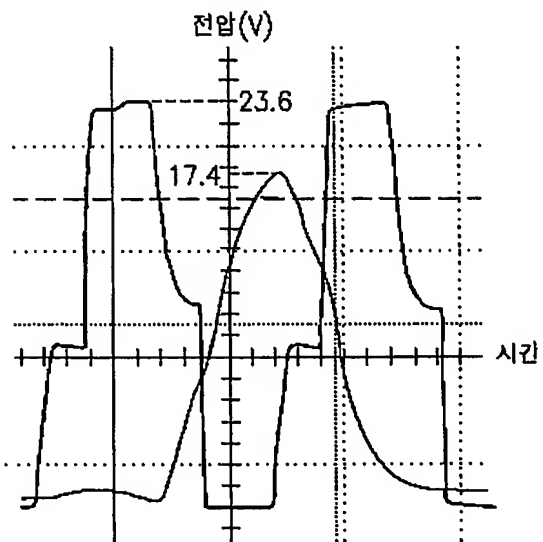
【도 9a】



【도 9b】



【도 10a】



【도 10b】

